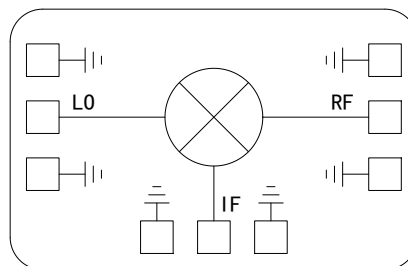


特点:

- 射频&本振频率: 8.0~36.0GHz
- 中频频率: 0.01~10.0GHz
- 变频损耗: 典型值 9dB
- 本振功率: 典型值+13dBm
- 芯片尺寸: 1.39mm×0.86mm×0.1mm

功能框图:



产品简介:

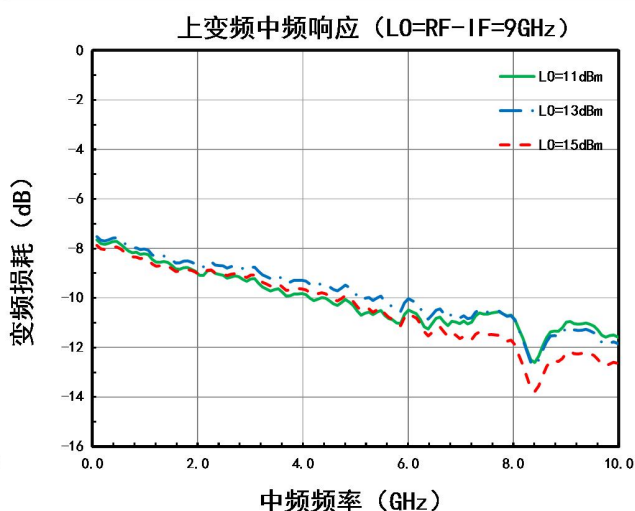
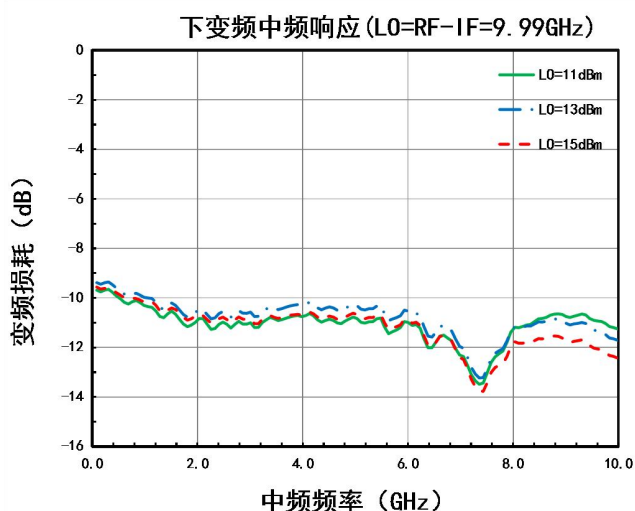
YDC5102 是一款采用 GaAs pHEMT 工艺设计制造的无源双平衡混频器芯片。该芯片采用了片上金属化通孔工艺保证良好接地。芯片背面进行了金属化处理, 适用于导电胶粘接或共晶烧结工艺。

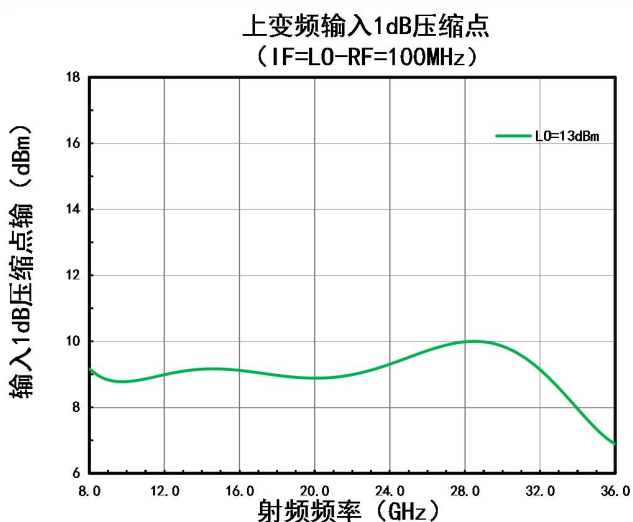
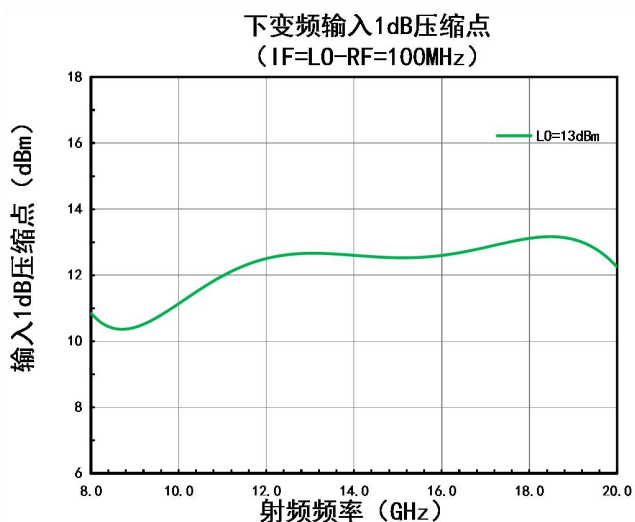
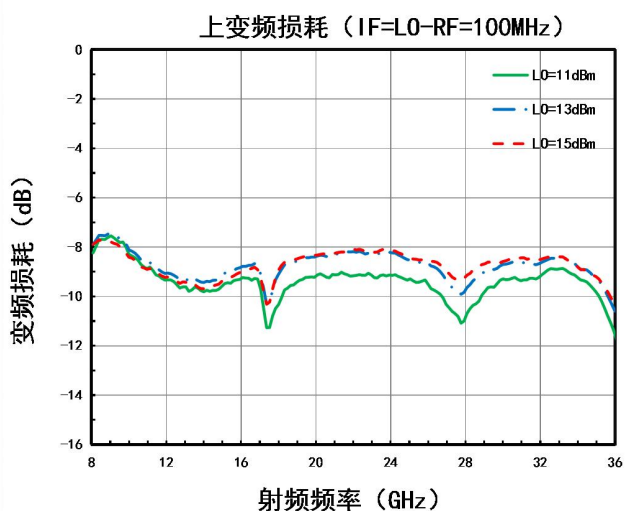
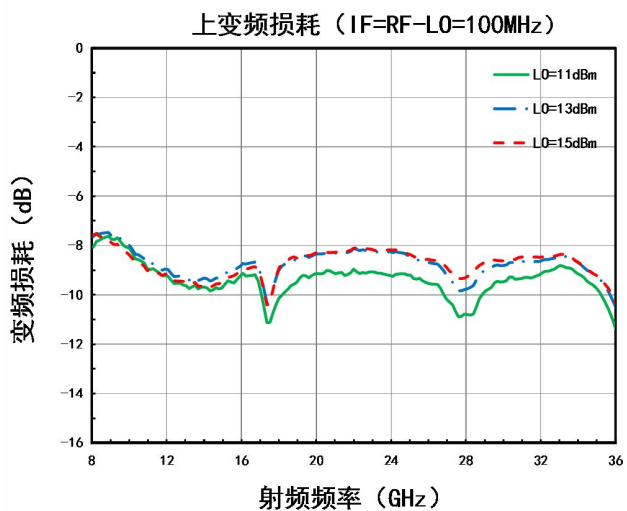
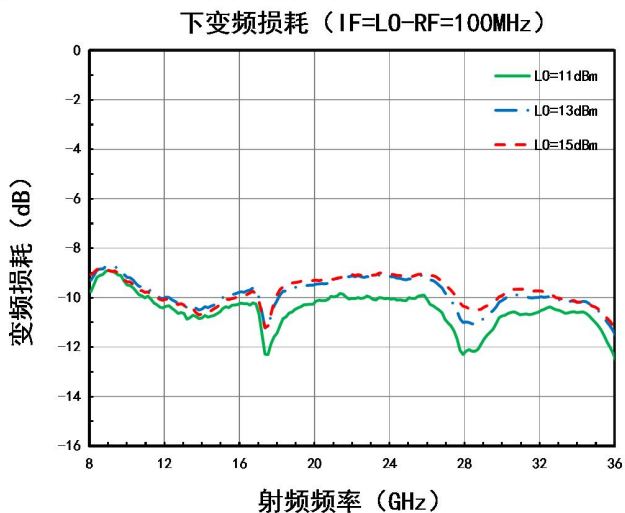
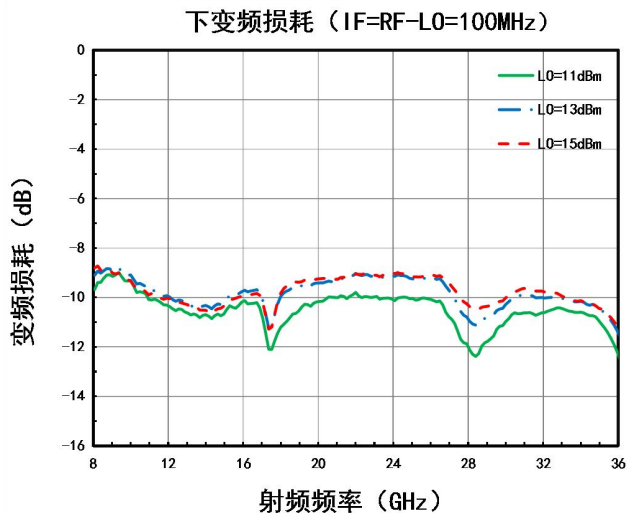
性能参数: (50Ω系统, $T_A=25^{\circ}\text{C}$)

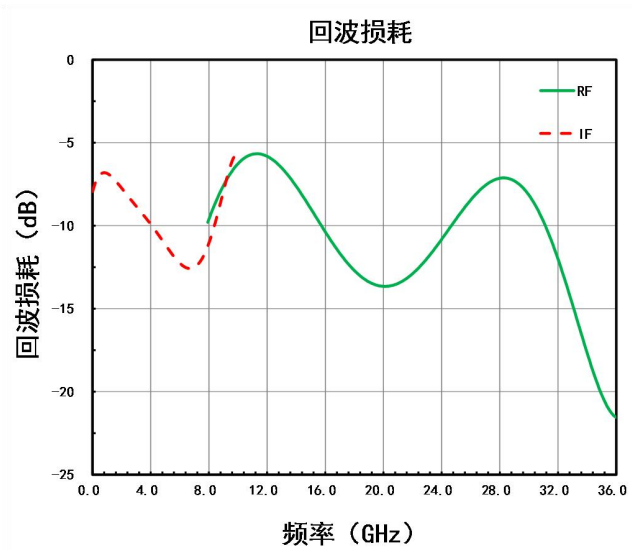
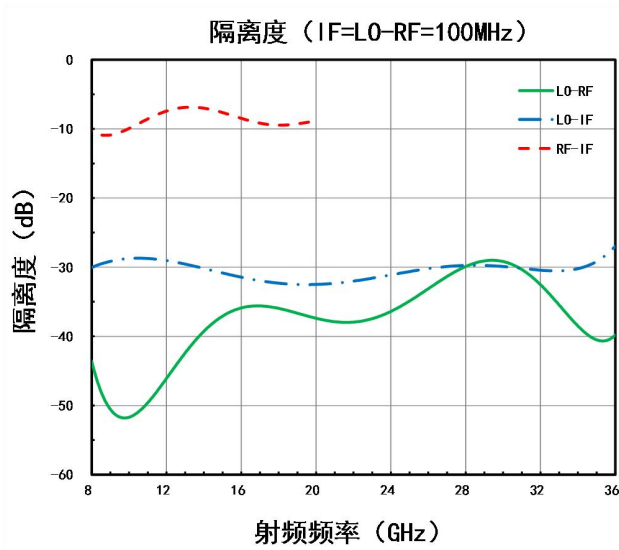
参数名称	符号	测试条件	参数值			单位	备注
			MIN	TYP	MAX		
射频/本振频率	$f_{\text{RF/LO}}$	$f_{\text{RF/LO}}=8.0\sim 36.0\text{GHz}$ $f_{\text{IF}}=0.01\sim 10.0\text{GHz}$ 本振功率=+13dBm	8.0	-	36.0	GHz	-
中频频率	f_{IF}		0.01	-	10.0	GHz	-
下变频损耗	IL		-	10	14	dB	-
上变频损耗	IL		-	9	13	dB	-
下变频 1dB 压缩点输入功率	$\text{IP}_{1\text{dB}}$		+8	+13	-	dBm	-
上变频 1dB 压缩点输入功率	$\text{IP}_{1\text{dB}}$		+5	+9	-	dBm	-
隔离度 (LO to RF)	$\text{ISO}_{\text{LO to RF}}$		25	35	-	dB	-
隔离度 (LO to IF)	$\text{ISO}_{\text{LO to IF}}$		25	30	-	dB	-
隔离度 (RF to IF)	$\text{ISO}_{\text{RF to IF}}$		5	8	-	dB	-
射频回波损耗	RL_{RF}		-	9	25	dB	-
中频回波损耗	RL_{IF}		-	8	15	dB	-

*: 芯片均经过在片 100% 直流与 RF 测试。

典型测试曲线: (50Ω系统, $T_A=25^{\circ}\text{C}$)







组合杂散抑制制度：下变频

nLO mRF	0	1	2	3	4
0	\	-1	14	12	50
1	2	0	17	27	33
2	60	52	58	51	68
3	65	79	54	50	55
4	90	85	90	79	89

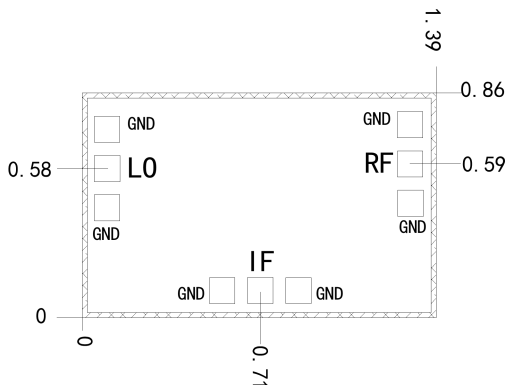
注：RF=8GHz@-10dBm, L0=8.1GHz@13dBm, 25℃

组合杂散抑制制度：上变频

nLO mIF	0	1	2	3	4
-4	109	86	77	82	73
-3	87	48	66	49	81
-2	76	50	49	63	59
-1	31	0	18	12	29
0	\	12	4	25	28
1	31	0	17	12	30
2	76	49	48	58	56
3	87	48	62	49	80
4	109	88	76	84	71

注：IF=100MHz@-10dBm, L0=8.1GHz@13dBm, 25℃

外形尺寸图:



注: 1.单位: mm;

2.芯片背面镀金, 背面接地;

3.外形尺寸公差: $\pm 0.05\text{mm}$;

4.键合压点镀金, 压点尺寸: $0.1 \times 0.1\text{mm}$ 。

引脚定义:

符号	描述
LO	本振端口, 无隔直
RF	射频端口, 无隔直
IF	中频端口, 无隔直
GND/背面	接地

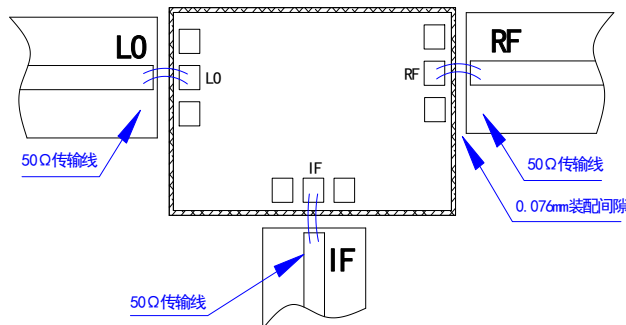
极限参数表:

参数名称	极限值
射频/本振最大输入功率	+24dBm
中频最大输入功率	+24dBm
装配温度	+300℃, 20s
工作温度	-55~+85℃
贮存温度	-55~+150℃
静电放电敏感度等级	1A

超过以上任何一项极限参数, 可能造成器件永久损坏。



推荐装配图:



注: 射频端口应尽量靠近微带线以缩短键合金丝尺寸, 典型的装配间隙是 0.076~0.152mm, 使用 $\Phi 25\mu\text{m}$ 双金丝键合, 建议金丝长度 250~400 μm 。

产品使用注意事项:

1. 本芯片产品需要在干燥、氮气环境中存储, 在超净环境装配使用。
2. 裸芯片使用的砷化镓材料较脆, 芯片表面容易受损, 不能用干或湿化学方法清洁芯片表面, 使用时须小心。
3. 芯片粘结装配时, 需考虑热膨胀应力对芯片的影响, 芯片建议烧结或粘结在热膨胀系数相近的载体上, 如可伐、钨铜或钼铜垫片上, 避免热膨胀应力匹配不当导致芯片开裂。
4. 芯片使用导电胶或合金烧结 (合金温度不能超过 +300℃, 时间不能超过 20 秒), 使之充分接地。
5. 芯片射频端口使用 25 μm 双金丝键合, 建议金丝长度 0.25~0.40mm (10~16 mils)。
6. 在存储和使用过程中注意防静电, 烧结、键合台接地良好。