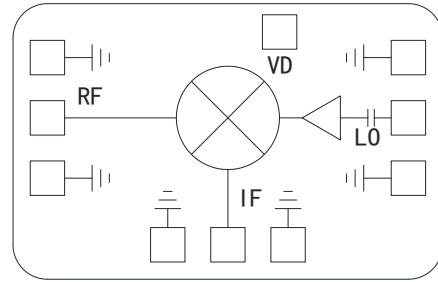


特点：

- 射频&本振频率：2.2~8.0GHz
- 中频频率：0.01~2.5GHz
- 下变频损耗：8dB typ
- 上变频损耗：6.5dB typ
- 下变频 1dB 压缩点输入功率：13dBm typ
- 上变频 1dB 压缩点输入功率：10dBm typ
- 本振功率：-3dBm~+3dBm typ
- 本振自带驱动
- 电压/电流：+5V/35mA typ
- 芯片尺寸：2.66mm×1.26mm×0.1mm

功能框图：



产品简介：

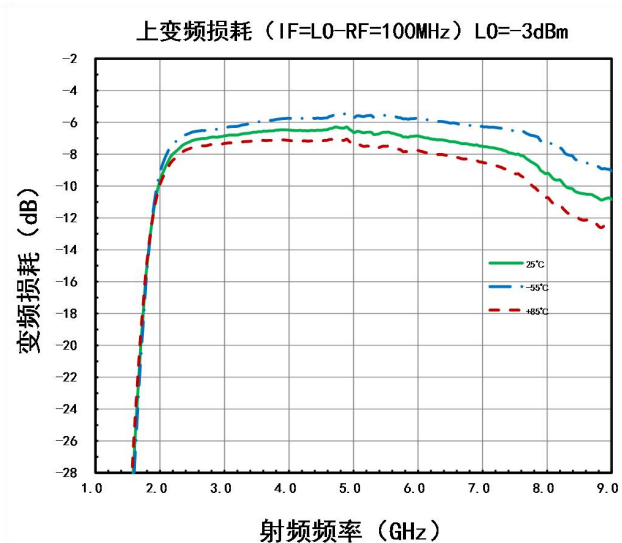
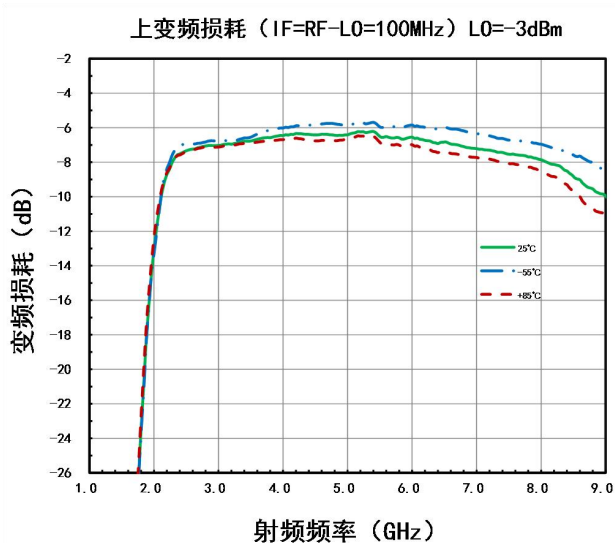
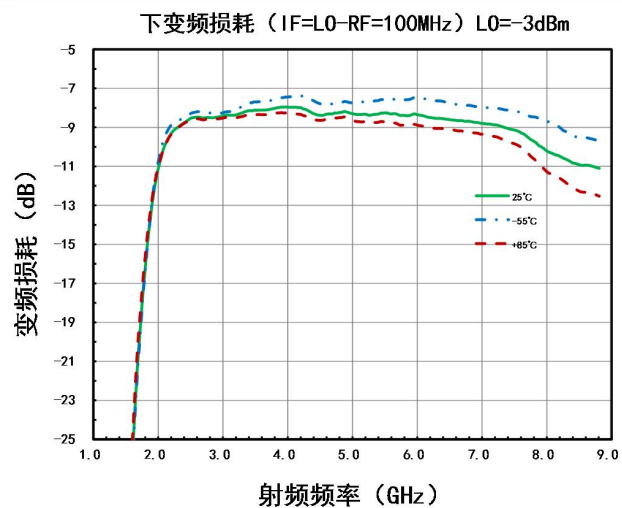
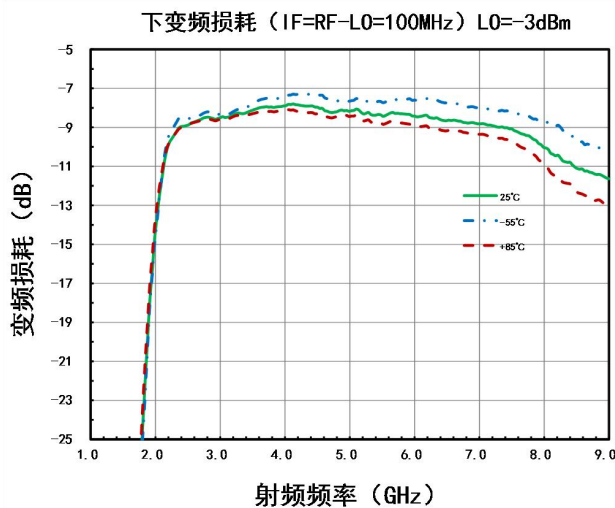
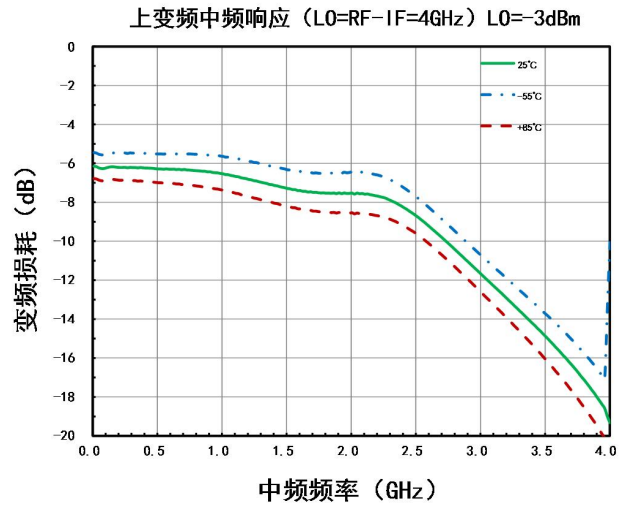
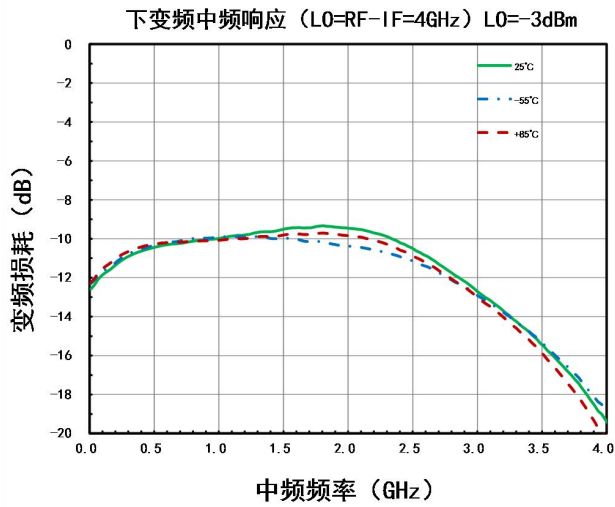
YDC6306 是一款采用 GaAs pHEMT 工艺设计制造的带本振驱动混频器芯片，集成本振放大功能。该芯片采用了片上金属化通孔工艺保证良好接地。芯片背面进行了金属化处理，适用于导电胶粘接或共晶烧结工艺。

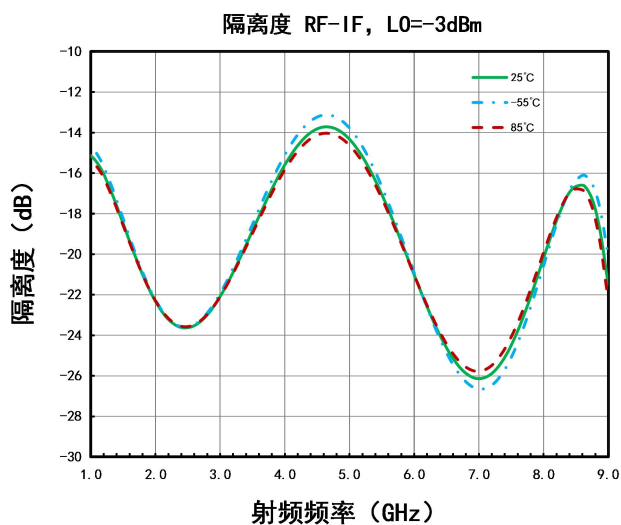
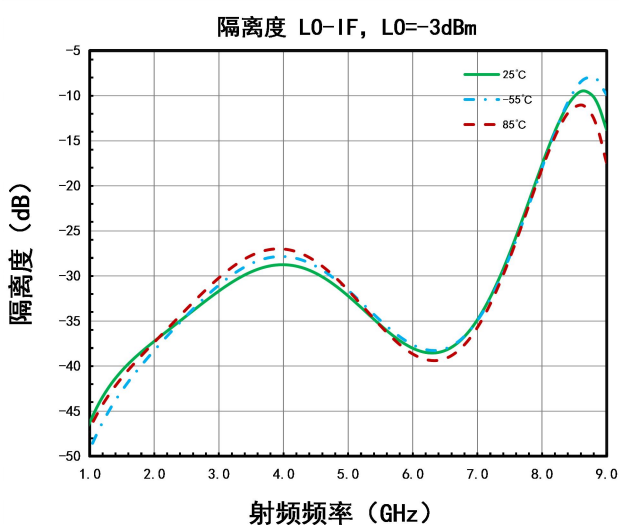
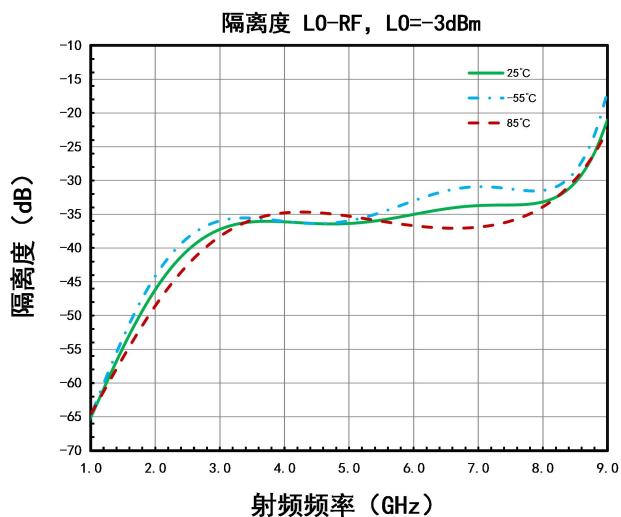
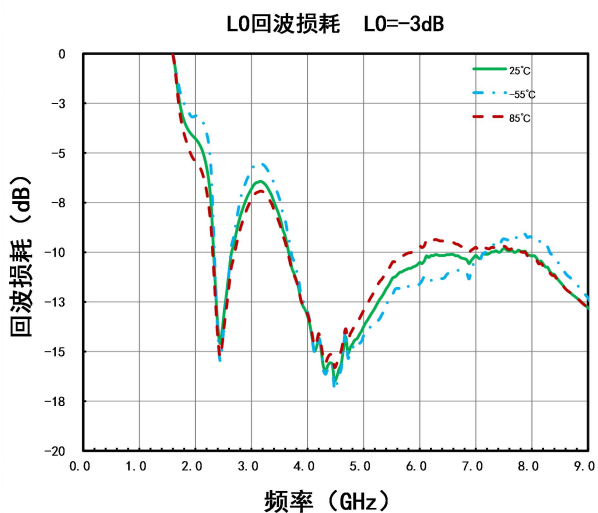
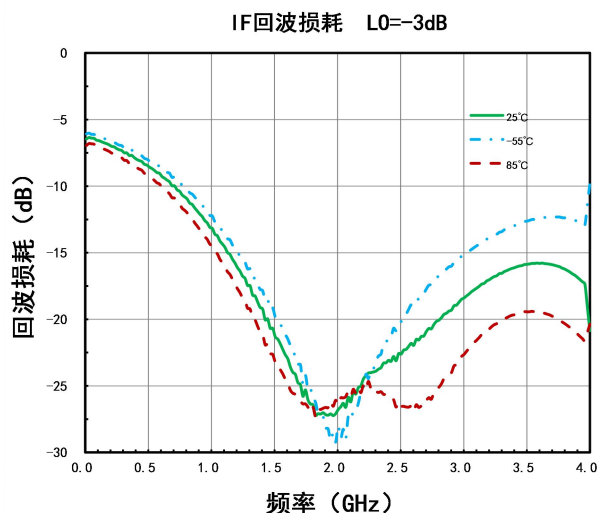
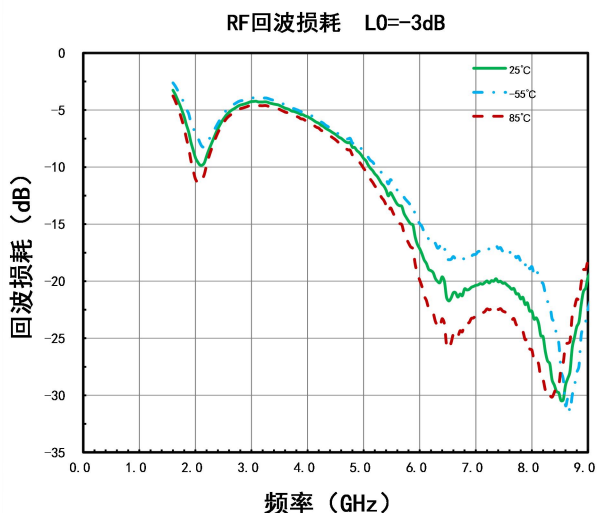
性能参数：（50Ω系统，T_A=-55~85℃）

参数名称	符号	测试条件	参数值			单位	备注
			MIN	TYP	MAX		
射频/本振频率	f _{RF/LO}	f _{RF/LO} =2.2~8.0GHz f _{IF} =100MHz 本振功率=-3dBm	2.2	-	8.0	GHz	-
中频频率	f _{IF}		0.01	-	2.5	GHz	-
下变频损耗	IL		-	8	13	dB	-
上变频损耗	IL		-	6.5	12.0	dB	-
射频回波损耗	RL _{RF}		4	10	-	dB	-
中频回波损耗	RL _{IF}		5	15	-	dB	-
本振回波损耗	RL _{LO}		5	10	-	dB	-
隔离度（LO to RF）	ISO _{LO to RF}		30	35	-	dB	-
隔离度（LO to IF）	ISO _{LO to IF}		15	32	-	dB	-
隔离度（RF to IF）	ISO _{RF to IF}		10	17	-	dB	-
下变频 1dB 压缩点输入功率	IP _{1dB}	f _{RF/LO} =2.2~8.0GHz f _{IF} =100MHz 本振功率=0dBm, T _A =25℃	+11.5	+13.0	-	dBm	-
上变频 1dB 压缩点输入功率	IP _{1dB}		+8	+10	-	dBm	-
电源电压	V _D	-	+4.75	+5.00	+5.25	V	-
工作电流	I _D	-	-	35	45	mA	-

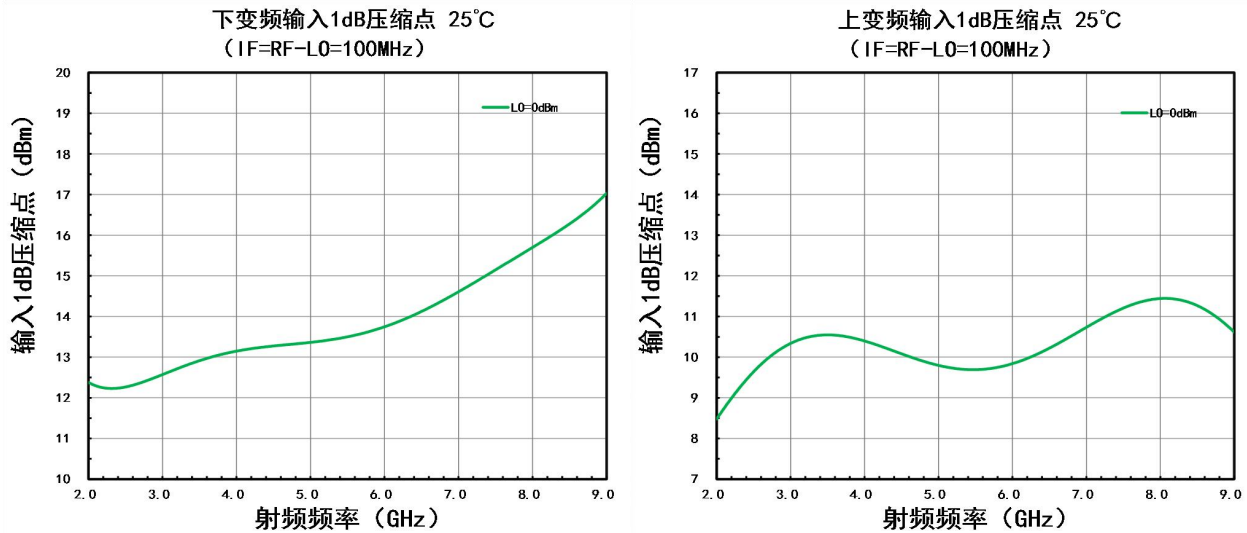
*：芯片均经过在片 100%直流与 RF 测试。

典型测试曲线 1: (50Ω系统, $T_A = -55 \sim 85^\circ\text{C}$, LO 功率=-3dBm)

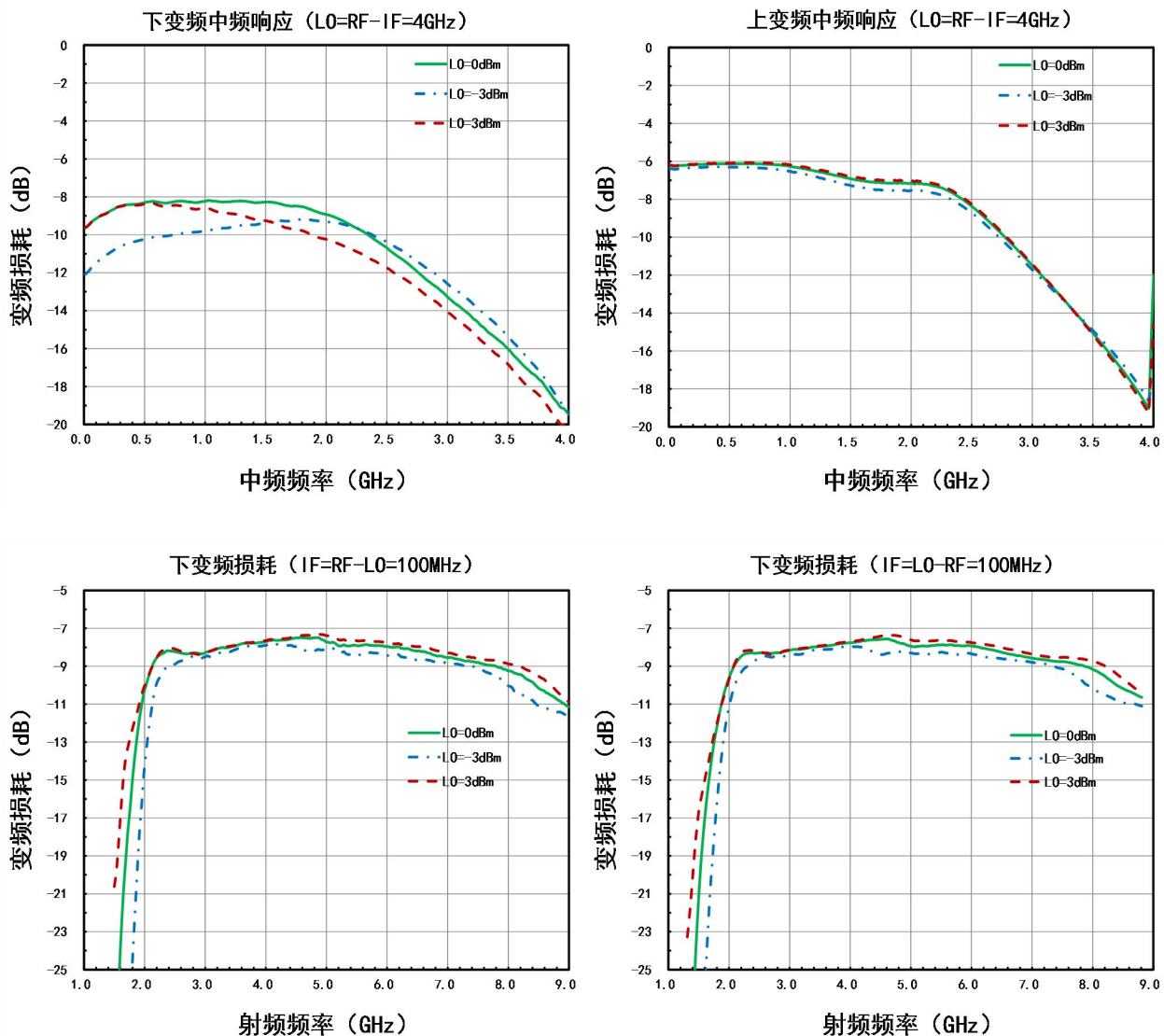


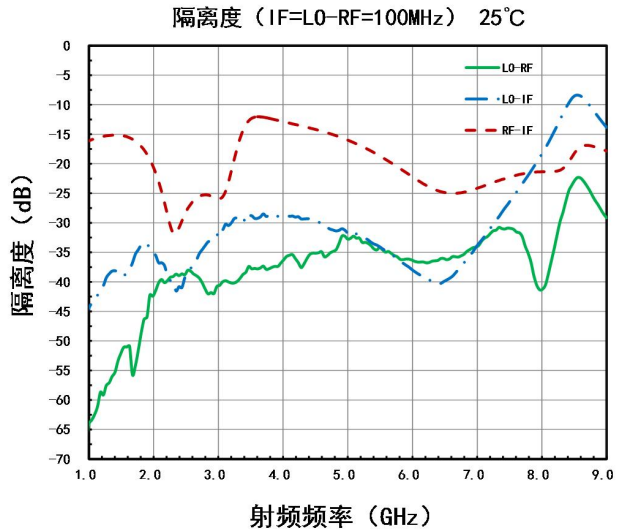
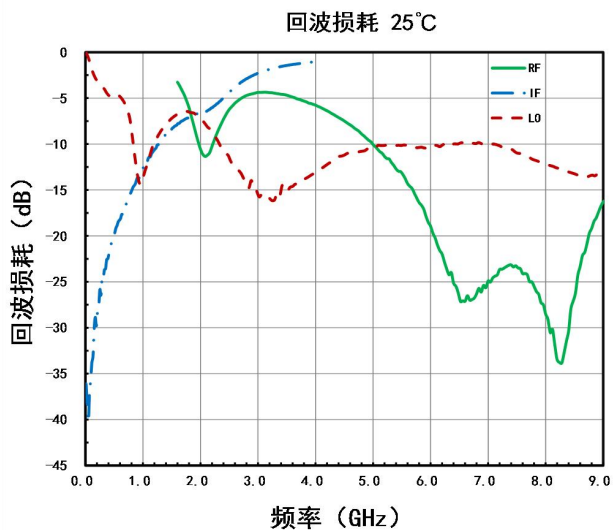
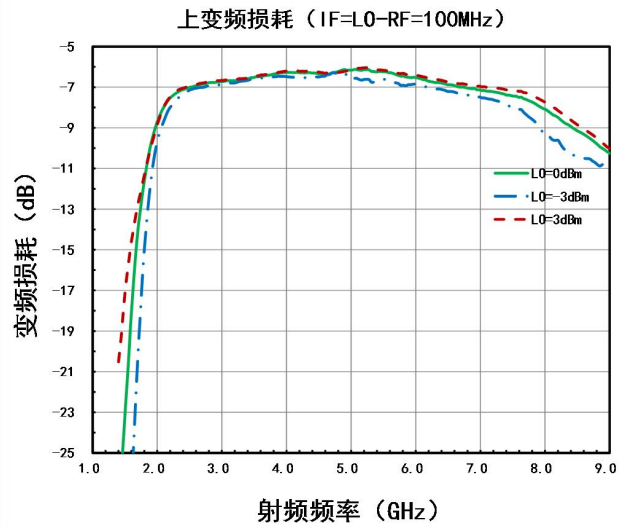
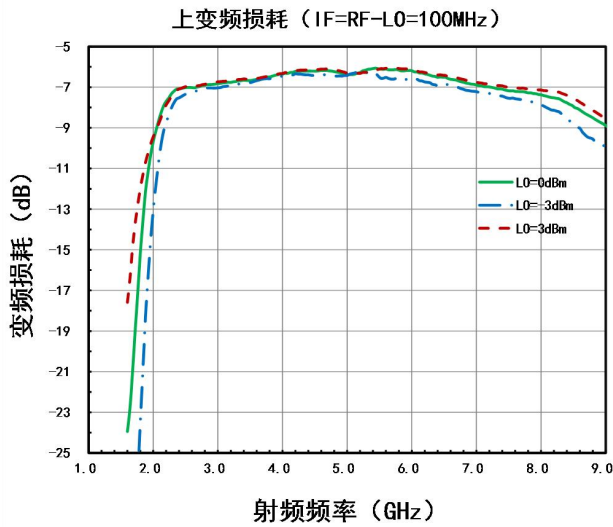


典型测试曲线 2: (50Ω系统, $T_A=25^\circ\text{C}$, LO 功率=0dBm)



典型测试曲线 3: (50Ω系统, $T_A=25^\circ\text{C}$, LO 功率=-3~+3dBm)





组合杂散抑制制度：上变频

mIF \ nLO	0	1	2	3	4
-4	75.5	86.8	75.7	90.2	113.5
-3	76	59.1	72.7	101.2	88.5
-2	44.7	63.6	104.5	65.5	50.6
-1	5	53.2	31	7.5	24.8
0	\	20.3	3.1	24.2	29.6
1	4.7	0	29.8	32	43.7
2	44.6	55.5	68.1	68.4	58.4
3	76.2	89.1	75.2	67.8	75.4
4	75.7	95.5	86.3	94.6	93.2

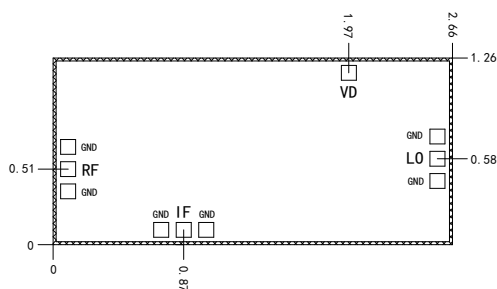
注:IF=3.1GHz@-10dBm, LO=3GHz@0dBm, 25°C

组合杂散抑制制度：下变频

mRF \ nLO	0	1	2	3	4
0	\	20.8	25	39.5	30.3
1	10.6	0	28.2	29.4	33
2	66	67	63.4	67.9	69.8
3	67.4	61.3	57.2	62.6	55.8
4	78.2	88.5	82.4	79.8	77.4

注: RF=2.1GHz@-10dBm, LO=2GHz@0dBm, 25°C

外形尺寸图:



注：1.单位：mm；

2.芯片背面镀金，背面接地；

3.外形尺寸公差：±0.05mm；

4.键合压点镀金，压点尺寸：0.1×0.1mm。



引脚定义:

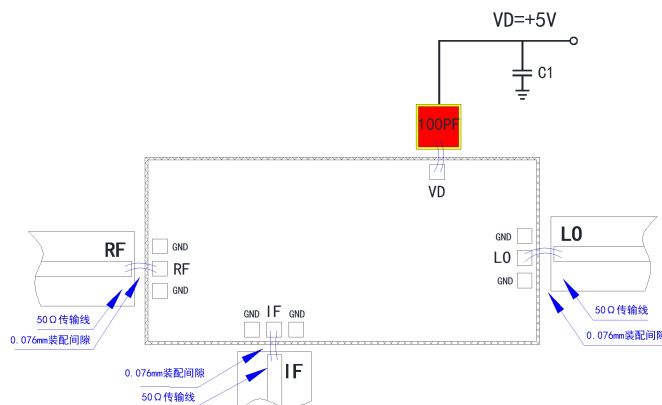
符号	描述
LO	本振端口，内部有隔直
RF	射频端口，无隔直
IF	中频端口，无隔直
VD	本振驱动放加电端口
GND/背面	接地

极限参数表:

参数名称	极限值
射频/本振最大输入功率	+25dBm
中频最大输入功率	+24dBm
装配温度	+300℃，20s
工作温度	-55~+85℃
贮存温度	-55~+150℃
静电放电敏感度等级	1A

超过以上任何一项极限参数，可能造成器件永久损坏。

推荐装配图:



注：射频端口应尽量靠近微带线以缩短键合金丝尺寸，典型的装配间隙是 0.076~0.152mm，使用Φ25um 双金丝键合建议金丝长度 250~400um。

推荐应用电路器件值:

位号	推荐值	备注
C1	10nF	

注：电容、电感、磁珠可根据实际使用频段选用。

产品使用注意事项:

1. 本芯片产品需要在干燥、氮气环境中存储，在超净环境装配使用。
2. 裸芯片使用的砷化镓材料较脆，芯片表面容易受损，不能用干或湿化学方法清洁芯片表面，使用时须小心。
3. 芯片粘接装配时，需考虑热膨胀应力对芯片的影响，芯片建议烧结或粘结在热膨胀系数相近的载体上，如可伐、钨铜或钼铜垫片上，避免热膨胀应力匹配不当导致芯片开裂。
4. 芯片使用导电胶或合金烧结（合金温度不能超过 300℃，时间不能超过 20 秒），使之充分接地。
5. 芯片射频端口使用 25um 双金丝键合，建议金丝长度 0.25~0.40mm (10~16 mils)。
6. 在存储和使用过程中注意防静电，烧结、键合台接地良好。