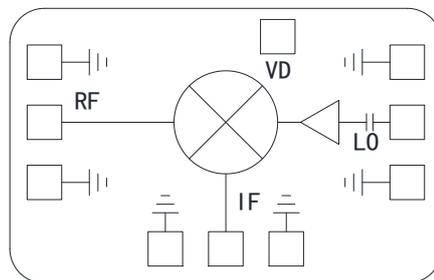


特点：

- 射频&本振频率：0.8~3.0GHz
- 中频频率：0.01~1.0GHz
- 下变频损耗：10dB typ
- 上变频损耗：9dB typ
- 下变频 1dB 压缩点输入功率：13dBm typ
- 上变频 1dB 压缩点输入功率：11dBm typ
- 本振功率：-3dBm~+3dBm typ
- 本振自带驱动
- 电压/电流：+5V/35mA typ
- 芯片尺寸：2.66mm×1.26mm×0.1mm

功能框图：

产品简介：

YDC6309 是一款采用 GaAs pHEMT 工艺设计制造的带本振驱动混频器芯片，集成本振放大功能。该芯片采用了片上金属化通孔工艺保证良好接地。芯片背面进行了金属化处理，适用于导电胶粘接或共晶烧结工

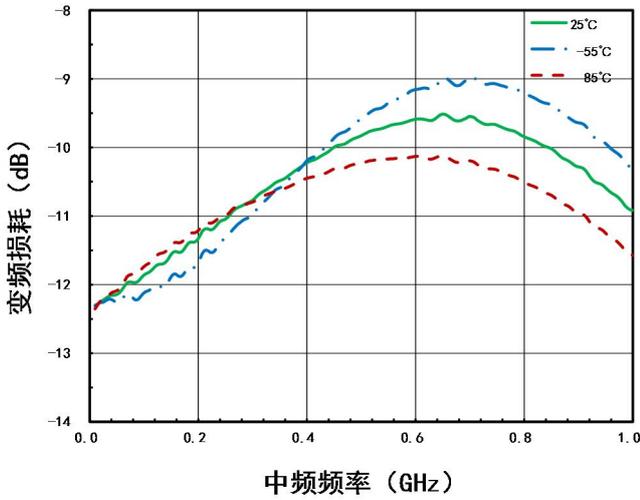
性能参数：（50Ω系统， $T_A=-55\sim 85^\circ\text{C}$ ）

参数名称	符号	测试条件	参数值			单位	备注
			MIN	TYP	MAX		
射频/本振频率	$f_{RF/LO}$	$f_{RF/LO}=0.8\sim 3.0\text{GHz}$ $f_{IF}=100\text{MHz}$ 本振功率=-3dBm	0.8	-	3.0	GHz	-
中频频率	f_{IF}		0.01	-	1.00	GHz	-
下变频损耗	IL		-	10	13	dB	-
上变频损耗	IL		-	9	13	dB	-
射频回波损耗	RL_{RF}		4	8	-	dB	-
中频回波损耗	RL_{IF}		5	10	-	dB	-
本振回波损耗	RL_{LO}		8	15	-	dB	-
隔离度（LO to RF）	$ISO_{LO\ to\ RF}$		30	40	-	dB	-
隔离度（LO to IF）	$ISO_{LO\ to\ IF}$		25	30	-	dB	-
隔离度（RF to IF）	$ISO_{RF\ to\ IF}$		12	15	-	dB	-
下变频 1dB 压缩点输入功率	IP_{1dB}	$f_{RF/LO}=0.8\sim 3.0\text{GHz}$ $f_{IF}=100\text{MHz}$ 本振功率=0dBm, $T_A=25^\circ\text{C}$	+10	+13	-	dBm	-
上变频 1dB 压缩点输入功率	IP_{1dB}		+10	+11	-	dBm	-
电源电压	V_D	-	+4.75	+5.00	+5.25	V	-
工作电流	I_D	-	-	35	45	mA	-

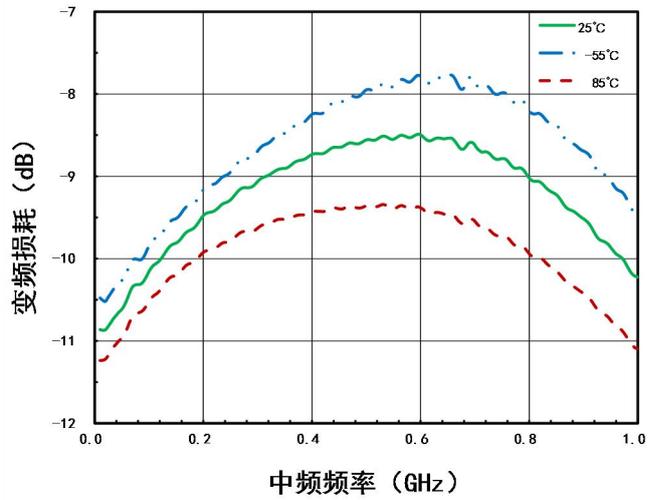
*：芯片均经过在片 100% 直流与 RF 测试。

典型测试曲线 1: (50Ω系统, $T_A=-55\sim 85^\circ\text{C}$, LO 功率=-3dBm)

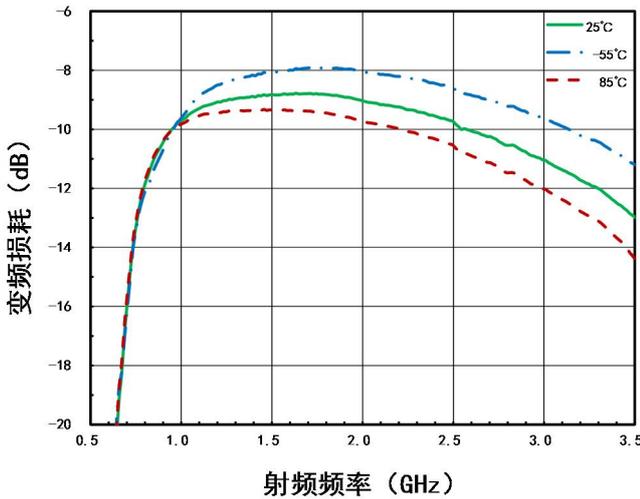
下变频中频响应 ($L0=RF-IF=0.7\text{GHz}$)



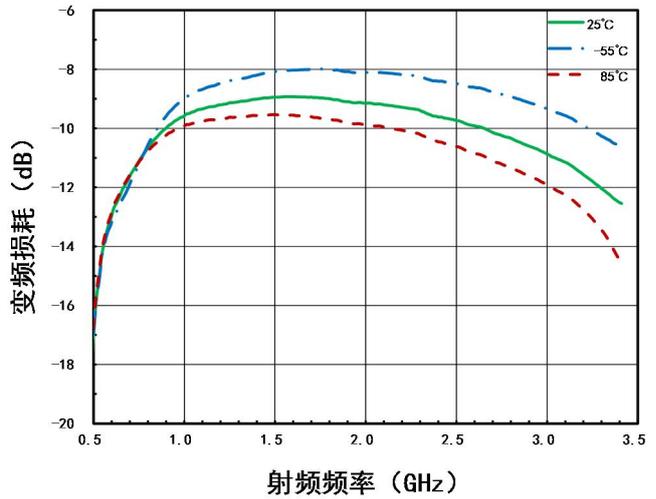
上变频中频响应 ($L0=RF-IF=0.7\text{GHz}$)



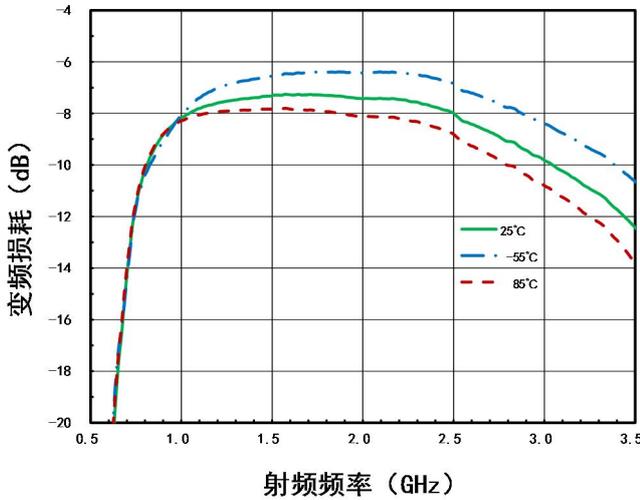
下变频低本振损耗 ($IF=RF-L0=100\text{MHz}$)



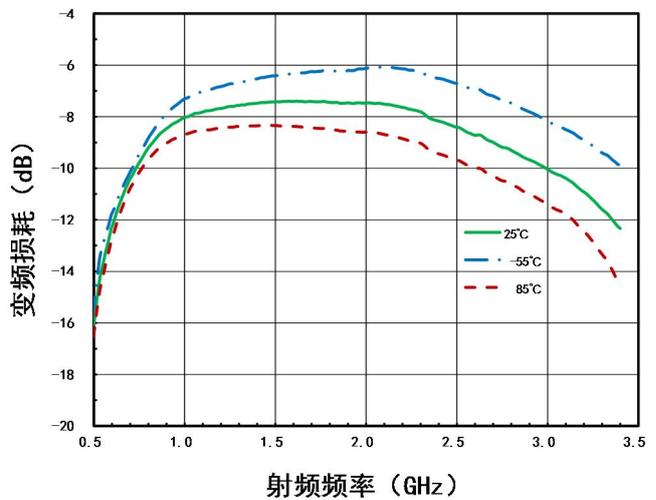
下变频高本振损耗 ($IF=L0-RF=100\text{MHz}$)

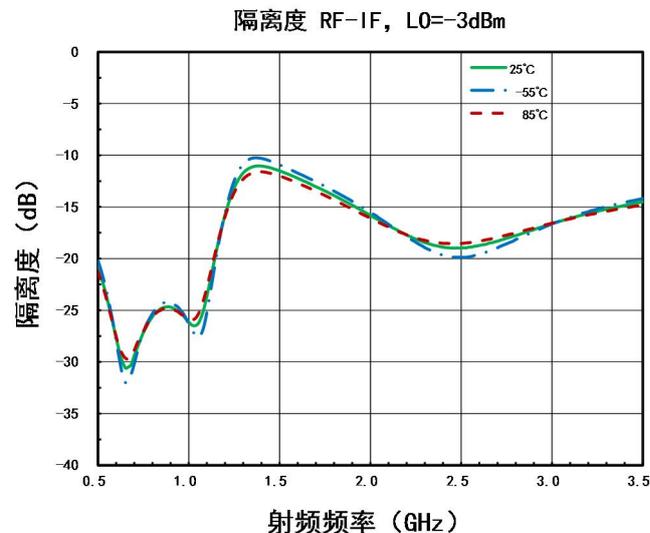
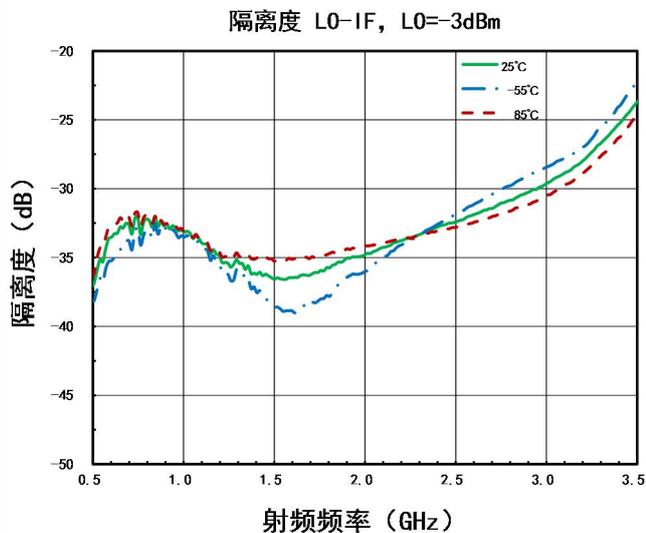
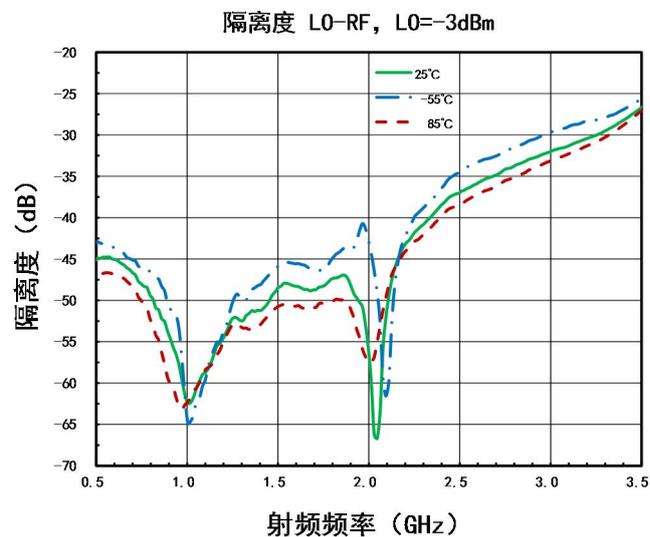
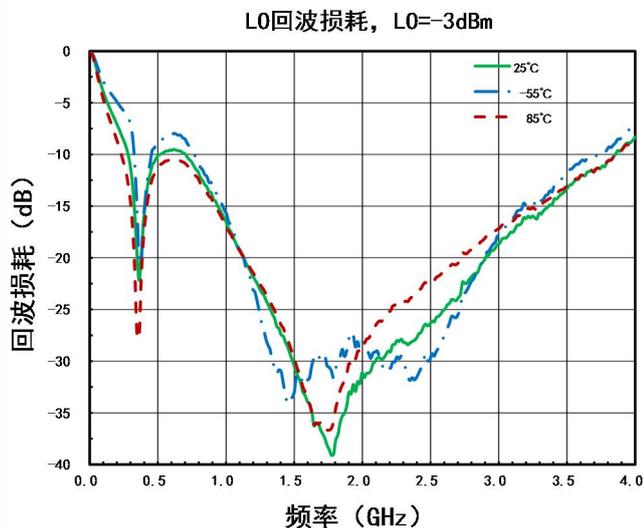
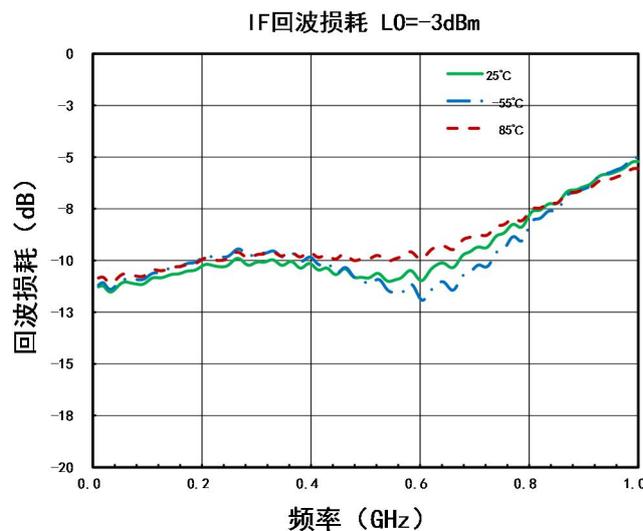
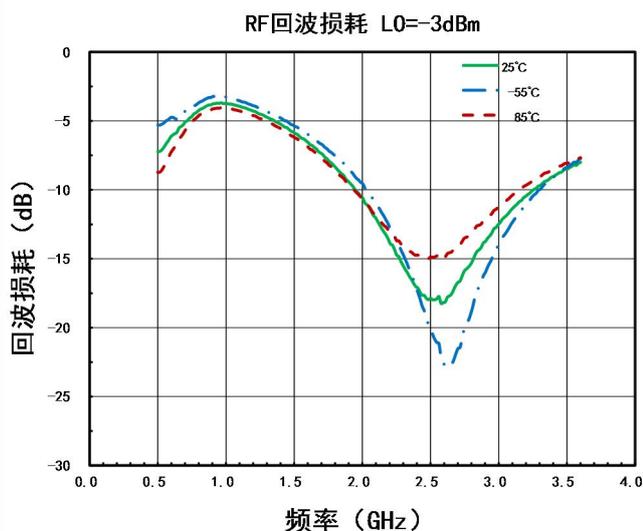


上变频低本振损耗 ($IF=RF-L0=100\text{MHz}$)

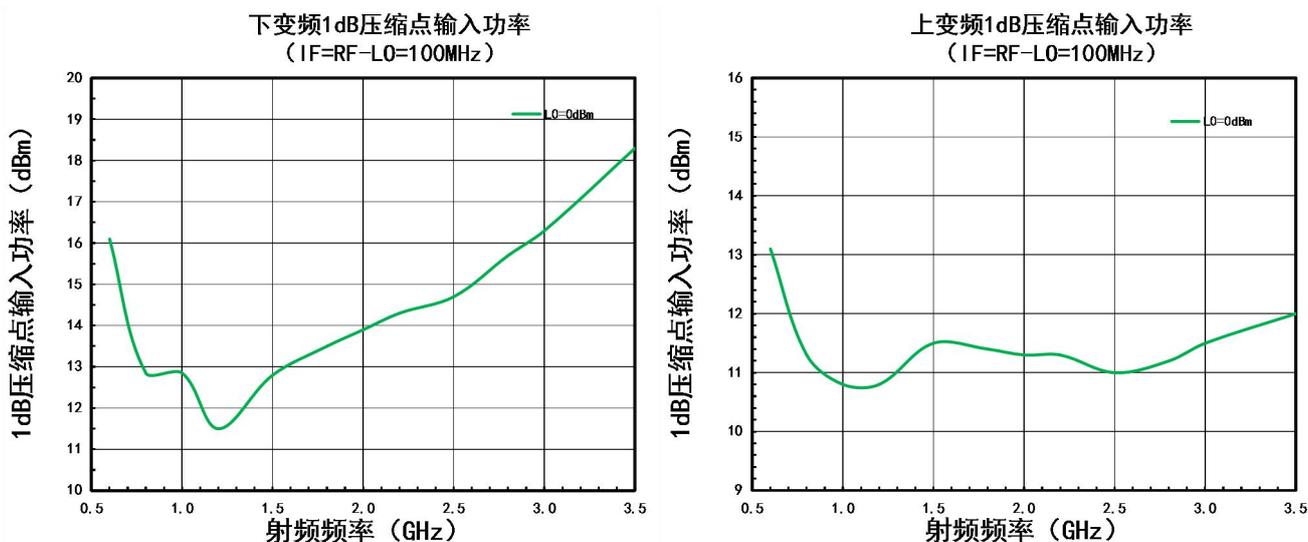


上变频高本振损耗 ($IF=L0-RF=100\text{MHz}$)

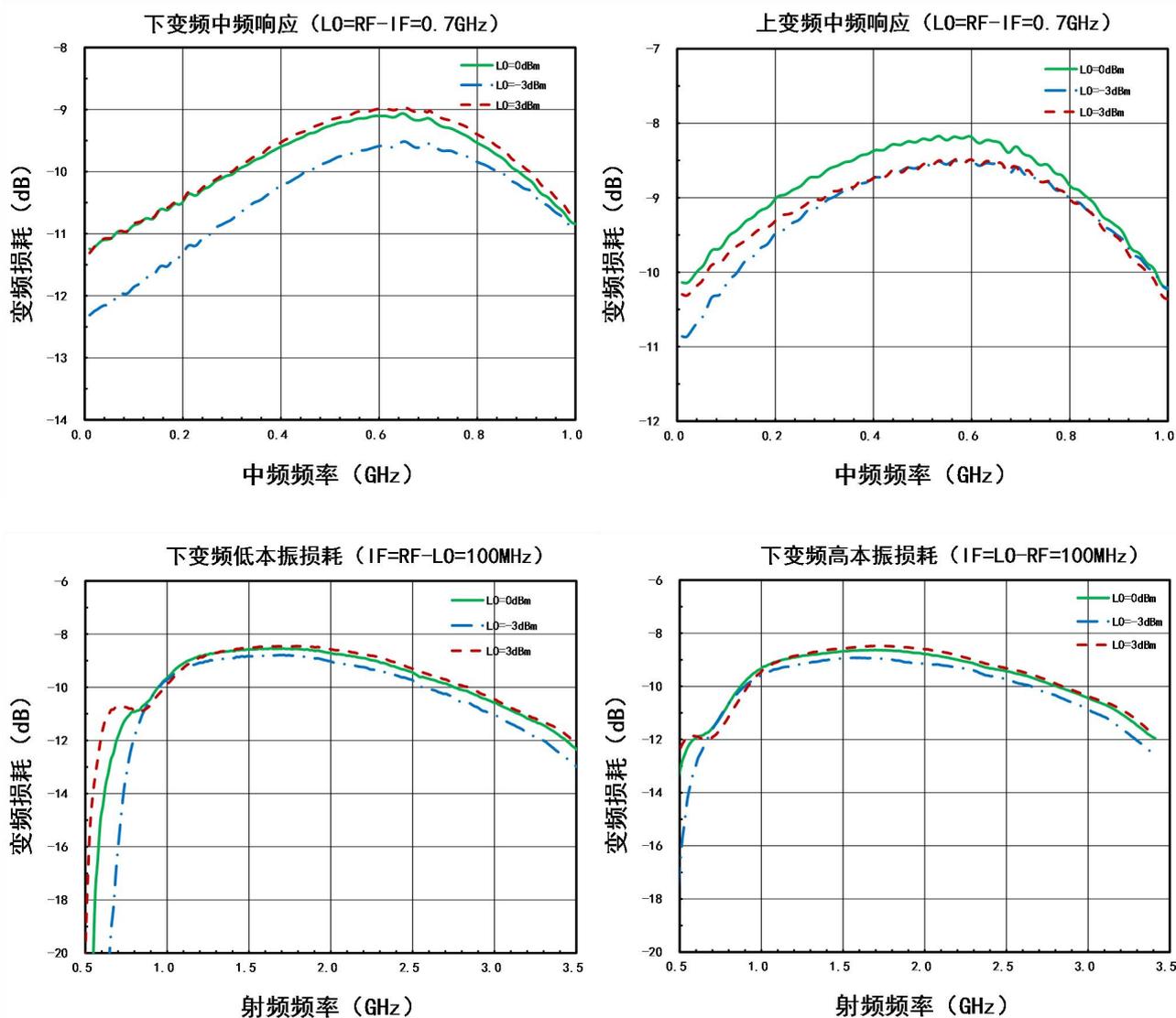


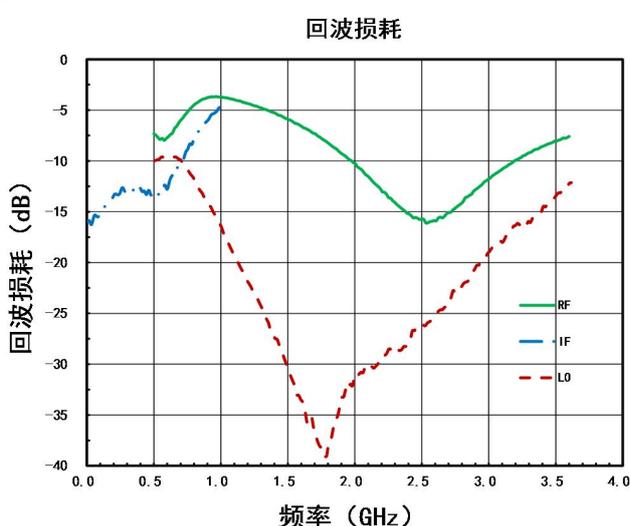
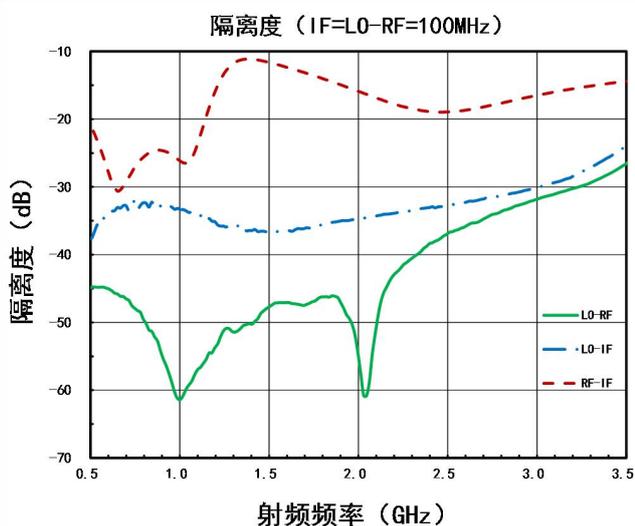
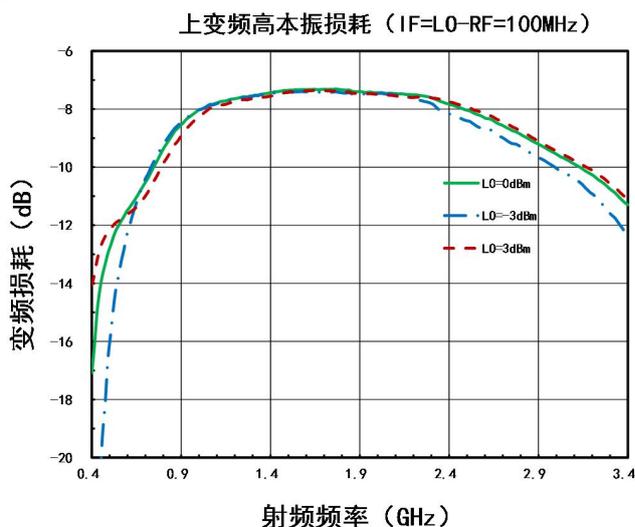
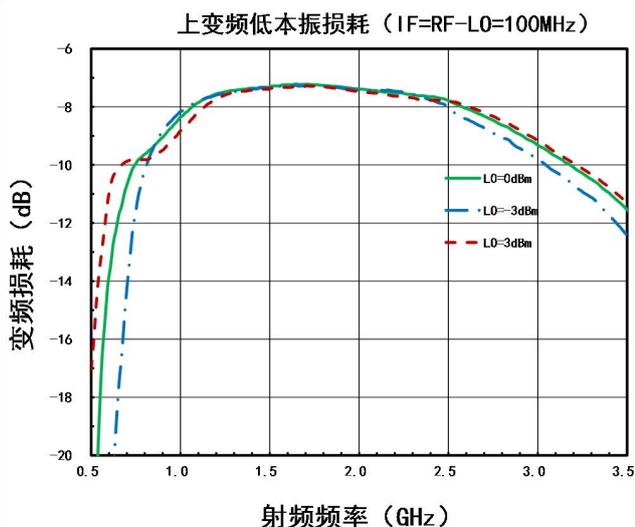


典型测试曲线 2: (50Ω系统, $T_A=25^\circ\text{C}$, LO 功率=0dBm)



典型测试曲线 3: (50Ω系统, $T_A=25^\circ\text{C}$, LO 功率=-3~+3dBm)




组合杂散抑制制度: 上变频

nLO \ mIF	0	1	2	3	4
-4	55.5	54.3	61	59	65.5
-3	56.2	67.2	59.7	66.3	65.5
-2	55	57.7	77.9	72.8	69.9
-1	12	28.4	22.2	18.1	21.9
0	\	29	25	36.3	31.7
1	12.7	0	31.3	14.8	27.1
2	55.5	59.3	62.8	64.7	71.5
3	56.7	59.7	56	61.8	64.8
4	56	57.9	60.8	64.2	64.4

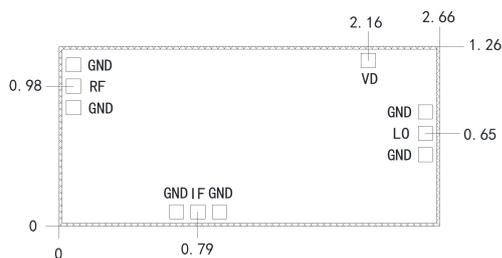
注: IF=0.8GHz@-10dBm, L0=0.7GHz@0dBm, 25°C

组合杂散抑制制度: 下变频

nLO \ mRF	0	1	2	3	4
0	\	0.9	19.7	20.7	32.7
1	14.5	0	26.5	20.1	37.8
2	48.7	44	59	56.6	68.6
3	65.7	67.7	76.7	69	69.3
4	70.7	83.3	69.6	68.7	56

注: RF=0.7GHz@-10dBm, L0=0.6GHz@0dBm, 25°C

外形尺寸图:



注: 1.单位: mm;

2.芯片背面镀金, 背面接地;

3.外形尺寸公差: $\pm 0.05\text{mm}$;

4.键合压点镀金, 压点尺寸: $0.1 \times 0.1\text{mm}$ 。



引脚定义:

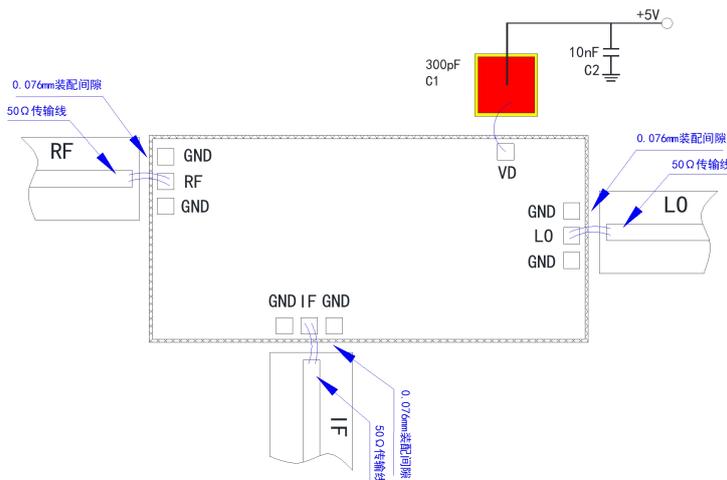
符号	描述
LO	本振端口, 内部有隔直
RF	射频端口, 无隔直
IF	中频端口, 无隔直
VD	本振驱动加电端口
GND/背面	接地

极限参数表:

参数名称	极限值
射频/本振最大输入功率	+25dBm
中频最大输入功率	+24dBm
装配温度	+300°C, 20s
工作温度	-55~+85°C
贮存温度	-55~+150°C
静电放电敏感度等级	1A

超过以上任何一项极限参数, 可能造成器件永久损坏。

推荐装配图:



注: 射频端口应尽量靠近微带线以缩短键合金丝尺寸, 典型的装配间隙是 0.076~0.152mm, 使用 $\Phi 25\mu\text{m}$ 双金丝键合建议金丝长度 250~400 μm 。

产品使用注意事项:

1. 本芯片产品需要在干燥、氮气环境中存储, 在超净环境装配使用。
2. 裸芯片使用的砷化镓材料较脆, 芯片表面容易受损, 不能用干或湿化学方法清洁芯片表面, 使用时须小心。
3. 芯片粘接装配时, 需考虑热膨胀应力对芯片的影响, 芯片建议烧结或粘在热膨胀系数相近的载体上, 如可伐、钨铜或钼铜垫片上, 避免热膨胀应力匹配不当导致芯片开裂。
4. 芯片使用导电胶或合金烧结 (合金温度不能超过 300°C, 时间不能超过 20 秒), 使之充分接地。
5. 芯片射频端口使用 25 μm 双金丝键合, 建议金丝长度 0.25~0.40mm (10~16 mils)。
6. 在存储和使用过程中注意防静电, 烧结、键合台接地良好。